

⑫ 公開特許公報(A)

昭62-293327

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月19日

G 05 F 3/24

7319-5H

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 定電流回路

⑯ 特 願 昭61-136667

⑰ 出 願 昭61(1986)6月11日

⑱ 発 明 者 高 井 千 鶴 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

定電流回路

特 許 請 求 の 範 囲

少なくとも次の各回路を含んでなることを特徴とする定電流回路。

(イ) ゲートをドレインに接続した弱反転領域で動作する第1のnMOSトランジスタと第1のnMOSトランジスタとゲートを共通接続した弱反転領域で動作する第2のnMOSトランジスタとを含んでなる第1の電流ミラー回路及びゲートをドレインに接続した第1のpMOSトランジスタと第1のpMOSトランジスタとゲートを共通接続した第2のpMOSトランジスタとを含んでなる第2の電流ミラー回路とで構成された第1の閉ループ回路。

(ロ) ゲートをドレインに接続した強反転領域で動作する第3のnMOSトランジスタと第3の

nMOSトランジスタとゲートを共通接続した強反転領域で動作する第4のnMOSトランジスタとを含んでなる第3の電流ミラー回路及びゲートをドレインに接続した強反転領域で動作する第3のpMOSトランジスタと第3のpMOSトランジスタとゲートを共通接続した強反転領域で動作する第4のpMOSトランジスタとを含んでなる第4の電流ミラー回路とで構成された第2の閉ループ回路。

(ハ) 第1、第2の閉ループ回路のそれぞれから出力電流を電流ミラーで取り出して加え合せる電流加算回路。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、相補型MIS集積回路における定電流回路に関し、特に電源電圧変動、しきい値変動、温度変動に対して安定な定電流回路に関する。

(従来の技術)

MOSトランジスタを用いた定電流回路の従来

例を第2図、第3図に示す。

第2図にその主要部の回路図を示した従来例は、ゲートをドレインに接続した弱反転領域で動作するnMOSTランジスタ8とnMOSTランジスタ8とゲートを共通接続した弱反転領域で動作するnMOSTランジスタ7とを含んでなる電流ミラー回路及びゲートをドレインに接続したpMOSTランジスタ1とpMOSTランジスタ1とゲートを共通接続したpMOSTランジスタ2とを含んでなるもう一つの電流ミラー回路とで構成された閉ループ回路であって、この閉ループ回路に流れる定電流を電流ミラーで取り出せばよいわけである。

第3図にその主要部の回路図を示した従来例は、ゲートをドレインに接続した強反転領域で動作するnMOSTランジスタ11とnMOSTランジスタ11とゲートを共通接続した強反転領域で動作するnMOSTランジスタ10とを含んでなる電流ミラー回路及びゲートをドレインに接続した強反転領域で動作するpMOSTランジスタ5とp

MOSTランジスタ5とゲートを共通接続した強反転領域で動作するpMOSTランジスタ6とを含んでなるもう一つの電流ミラー回路とで構成された第2の閉ループ回路であり、この閉ループ回路に流れる定電流を電流ミラーで取り出せばよいわけである。

このような従来技術については、例えば、アイイーイーイー・ジャーナル・オブ・ソリッド・ステート・サーキット誌(IEEE JOURNAL OF SOLID-STATE CIRCUITS)の、第SC-12巻、第3号、6月、1977年又は米国特許USP4,458,212号明細書に記載されている。

これらの従来の定電流回路は、電源電圧変動、しきい値変動、及び温度変化に対して安定である。(発明が解決しようとする問題点)

上述した従来の定電流回路のうち、第2図のトランジスタ1,2を強反転領域で、トランジスタ7,8を弱反転領域で動作させた回路では、各々のトランジスタ及び抵抗を流れる電流は、高温の

- 3 -

- 4 -

ときのほうが低温のときより、1割程度多くなり、第3図において、トランジスタ5,6,10,11を強反転領域で動作させた回路では各々のトランジスタ及び抵抗を流れる電流は、低温のときのほうが高温のときより、1割程度多くなり、温度変化に対して必ずしも十分に安定とはいえない。

本発明の目的は、温度変化に対して十分安定な定電流回路を提供することにある。

(問題点を解決するための手段)

本発明の定電流回路は、少なくとも次の各回路を含んでなるものである。

(イ)ゲートをドレインに接続した弱反転領域で動作する第1のnMOSTランジスタと第1のnMOSTランジスタとゲートを共通接続した弱反転領域で動作する第2のnMOSTランジスタとを含んでなる第1の電流ミラー回路及びゲートをドレインに接続した第1のpMOSTランジスタと第1のpMOSTランジスタとゲートを共通接続した第2のpMOSTランジスタとを含んでなる第2の電流ミラー回路とで構成された第1の閉

ループ回路、

(ロ)ゲートをドレインに接続した強反転領域で動作する第3のnMOSTランジスタと第3のnMOSTランジスタとゲートを共通接続した強反転領域で動作する第4のnMOSTランジスタとを含んでなる第3の電流ミラー回路及びゲートをドレインに接続した強反転領域で動作する第3のpMOSTランジスタと第3のpMOSTランジスタとゲートを共通接続した強反転領域で動作する第4のpMOSTランジスタとを含んでなる第4の電流ミラー回路とで構成された第2の閉ループ回路、

(ハ)第1,第2の閉ループ回路のそれぞれから出力電流を電流ミラーで取り出して加え合わせる電流加算回路、

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の主要部の回路図である。

- 5 -

- 6 -

この実施例は、少なくとも次の各回路を含んでなるものである。

(イ) ゲートをドレインに接続した弱反転領域で動作する第1のnMOSトランジスタ8と第1のnMOSトランジスタ8とゲートを共通接続した弱反転領域で動作する第2のnMOSトランジスタ7とを含んでなる第1の電流ミラー回路31及びゲートをドレインに接続した第1のpMOSトランジスタ1と第1のpMOSトランジスタ1とゲートを共通接続した第2のpMOSトランジスタ2とを含んでなる第2の電流ミラー回路32とで構成された第1の閉ループ回路41、

(ロ) ゲートをドレインに接続した強反転領域で動作する第3のnMOSトランジスタ11と第3のnMOSトランジスタ11とゲートを共通接続した強反転領域で動作する第4のnMOSトランジスタ10とを含んでなる第3の電流ミラー回路33及びゲートをドレインに接続した強反転領域で動作する第3のpMOSトランジスタ5と第3のpMOSトランジスタとゲートを共通接続し

た強反転領域で動作する第4のpMOSトランジスタ6とを含んでなる第4の電流ミラー回路34とで構成された第2の閉ループ回路42、

(ハ) 第1、第2の閉ループ回路41、42のそれぞれから出力電流をpMOSトランジスタ3、4の電流ミラーで取り出して加え合わせてnMOSトランジスタに注入する電流加算回路35。トランジスタ10のバックゲートはトランジスタ10のソースに接続され、トランジスタ7、8、9、11のバックゲートは電源の低電位側に接続されている。トランジスタ1、2、3、4、5、6のバックゲートは電源の高電位側に接続されている。

トランジスタ1、2は強反転領域で動作させ、トランジスタ7、8は弱反転領域で動作させるため、トランジスタ1、2は利得係数 β が小で、トランジスタ7、8は β が大となるように、例えばゲート幅とゲート長の比(W/L 比)をそれぞれ0.07、0.07、46、9.9に設定してある。抵抗20の両端の電圧が数十mVとなるように、抵抗20

- 7 -

- 8 -

の低抵抗値は数百k Ω としている。

第1の閉ループ回路41において、温度が -50°C と 100°C の場合では1割程度 100°C の場合電流が多く流れる。一方、トランジスタ5、6、10、11を強反転状態で動作させるように設計された、第2の閉ループ回路42においては温度が -50°C の場合、 100°C の場合より電流が1割程度多く流れる。

トランジスタ3の電流は、トランジスタ1の利得係数とトランジスタ3の利得係数の比で決定され、トランジスタ4の電流は、トランジスタ5の利得係数とトランジスタ4の利得係数の比で決定されるため、トランジスタ3とトランジスタ4の利得係数を等しくすることにより、トランジスタ9に流れる電流は温度が -50°C と 100°C の場合で、ほぼ等しくなる。

nMOSトランジスタ9に流れる電流は更に電流ミラーで取り出せばよい。又、電流加算回路の構成は、nMOSトランジスタ8、11からそれぞれnMOSトランジスタで取り出し、pMOS

トランジスタのドレインに加えるようにしてもよい。


(発明の効果)

以上説明したように、本発明は、温度変化に対し、逆の傾向をもつ回路を組み合わせるることにより温度変化に対し安定な定電流回路が得られる効果がある。

図面の簡単な説明

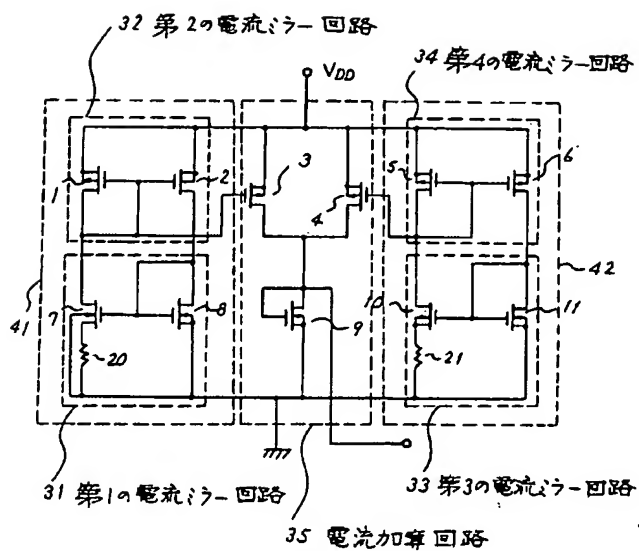
第1図は、本発明の一実施例の主要部の回路図、第2図は、従来の定電流回路の一例の主要部の回路図、第3図は、従来の定電流回路の他の例の主要部の回路図である。

1、2、3、4、5、6…pMOSトランジスタ、7、8、9、10、11…nMOSトランジスタ、20、21…抵抗、31～34…電流ミラー回路、35…電流加算回路、41～42…閉ループ回路。

代理人 弁理士 内原 晋 

- 9 -

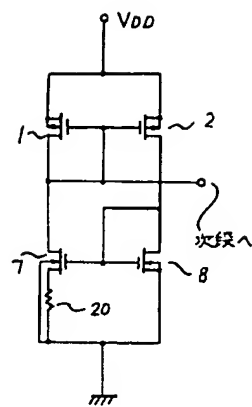
- 10 -



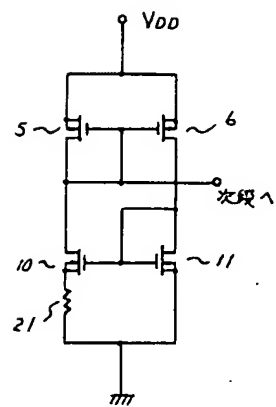
41 第1の閉ループ回路

42 第2の閉ループ回路

第1図



第2図



第3図